

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 2001223243
PUBLICATION DATE : 17-08-01

APPLICATION DATE : 14-02-00
APPLICATION NUMBER : 2000034501

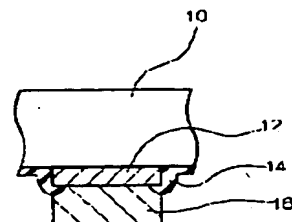
APPLICANT : SEIKO EPSON CORP;

INVENTOR : KURASHIMA YOHEI;

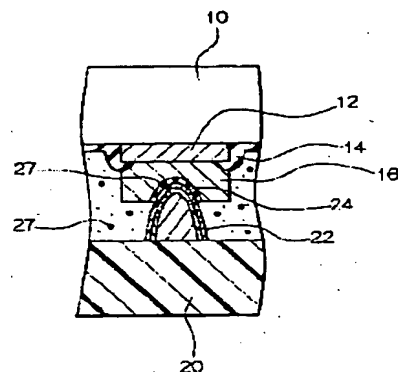
INT.CL. : H01L 21/60 H01L 23/12 H01R 4/04
H01R 12/32 H05K 3/32

TITLE : SEMICONDUCTOR DEVICE AND ITS
MANUFACTURING METHOD, CIRCUIT
BOARD AND ELECTRONIC
EQUIPMENT

(A)



(B)



ABSTRACT : PROBLEM TO BE SOLVED: To provide a semiconductor device capable of ensuring electrical connection reliability and its manufacturing method, a circuit board and an electronic equipment.

SOLUTION: The semiconductor device has a plurality of electrodes 12, and contains a semiconductor chip 10 in which bumps 16 are formed to each electrode 12. The board 20 on which the semiconductor chip 10 is loaded and to which wirings 22 having joining sections 24 with the bumps 16 are formed, the joining sections 24 of the wirings 22 are entered and joined to the bumps 16, and conductive particles 27 are interposed among the joining sections 24 and the bumps 16.

COPYRIGHT: (C)2001,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-223243
(P2001-223243A)

(43) 公開日 平成13年8月17日 (2001.8.17)

(51) Int.Cl. ⁷	識別記号	F I	キーワード* (参考)
H 0 1 L 21/60	3 1 1	H 0 1 L 21/60	3 1 1 S 5 E 0 7 7
23/12		H 0 1 R 4/04	5 E 0 8 3
H 0 1 R 4/04		H 0 5 K 3/32	B 5 E 3 1 9
12/32		H 0 1 L 23/12	L 5 F 0 4 4
H 0 5 K 3/32		H 0 1 R 9/09	A
審査請求 未請求 請求項の数19 O L (全 8 頁)			

(21) 出願番号 特願2000-34501(P2000-34501)

(22) 出願日 平成12年2月14日 (2000.2.14)

(71) 出願人 000002369

セイコーエプソン株式会社
東京都新宿区西新宿2丁目4番1号

(72) 発明者 倉島 羊平

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(74) 代理人 100090479

弁理士 井上 一 (外2名)

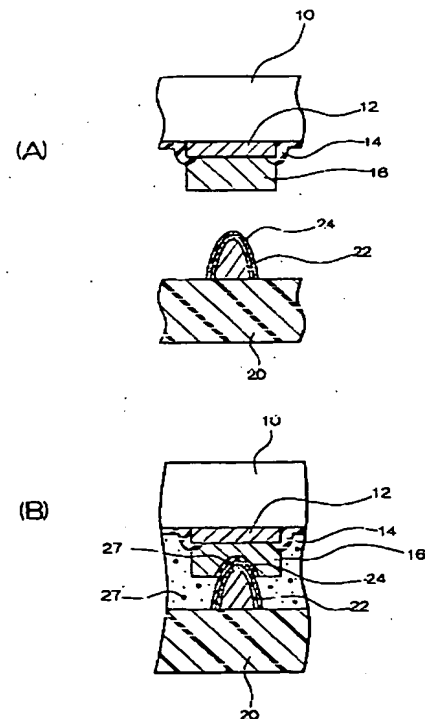
最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法、回路基板並びに電子機器

(57) 【要約】

【課題】 電気的な接続信頼性を確保できる半導体装置及びその製造方法、回路基板並びに電子機器を提供することにある。

【解決手段】 半導体装置は、複数の電極12を有し、各電極12にバンプ16が形成されてなる半導体チップ10と、半導体チップ10が搭載され、バンプ16との接合部24を有する配線22が形成された基板20と、を含み、配線22の接合部24は、バンプ16に入り込んで接合され、接合部24とバンプ16の間には導電粒子27が介在する。



【特許請求の範囲】

【請求項1】 複数の電極を有し、各電極にバンプが形成されてなる半導体チップと、
前記半導体チップが搭載され、前記バンプとの少なくとも1つの接合部を有する配線が形成された基板と、
導電粒子を含有して、前記半導体チップと前記基板とを接着する接着剤と、を含み、
前記接合部は、前記バンプに入り込み、前記導電粒子は、前記接合部とバンプとの間に介在してなる半導体装置。

【請求項2】 請求項1記載の半導体装置において、
前記配線は、複数の前記接合部を有し、
いずれか1つの前記バンプに、前記接合部のうちの複数の入り込んでなる半導体装置。

【請求項3】 複数の電極を有し、各電極にバンプが形成されてなる半導体チップと、
前記半導体チップが搭載され、前記バンプとの接合部を複数有する配線が形成された基板と、
を含み、

前記配線は、いずれか一つの前記バンプに、前記接合部のうちの複数の入り込んでなる半導体装置。

【請求項4】 請求項1から請求項3のいずれかに記載の半導体装置において、

前記接合部の表面は、ニッケルメッキ層で形成されてなる半導体装置。

【請求項5】 請求項1から請求項4のいずれかに記載の半導体装置において、

前記接合部は、ほぼ同一の縦断面が連続する線状をなし、前記基板側の基端部よりも上端部が細く形成されてなる半導体装置。

【請求項6】 請求項1から請求項4のいずれかに記載の半導体装置において、

前記接合部は、前記基板側の基端部よりも上端部が小さく形成されたランド部である半導体装置。

【請求項7】 請求項1から請求項6のいずれかに記載の半導体装置において、

前記接合部は、複数段を有する形状である半導体装置。

【請求項8】 請求項1から請求項7のいずれかに記載の半導体装置において、

前記接着剤の収縮力によって、前記接合部の側面と前記バンプとが圧接してなる半導体装置。

【請求項9】 請求項1から請求項8のいずれかに記載の半導体装置において、ICカードとして構成された半導体装置。

【請求項10】 請求項1から請求項8のいずれかに記載の半導体装置において、

外部端子をさらに有する半導体装置。

【請求項11】 請求項10記載の半導体装置が実装された回路基板。

【請求項12】 請求項10記載の半導体装置を有する

電子機器。

【請求項13】 複数の電極を有して各電極にバンプが形成されてなる半導体チップを、導電粒子を含有する接着剤を使用して、配線が形成された基板に実装する工程を含み、

前記配線は、前記バンプとの接合部を有し、
前記接合部を、前記バンプに入り込ませ、前記導電粒子を前記接合部とバンプとの間に介在させる半導体装置の製造方法。

【請求項14】 請求項13記載の半導体装置の製造方法において、

前記配線は、複数の前記接合部を有し、
いずれか1つの前記バンプに、前記接合部のうちの複数の入り込ませる半導体装置の製造方法。

【請求項15】 請求項13又は請求項14記載の半導体装置の製造方法において、

前記接合部の表面を、ニッケルメッキ層で形成する半導体装置の製造方法。

【請求項16】 請求項13から請求項15のいずれかに記載の半導体装置の製造方法において、

前記接合部を、ほぼ同一の縦断面が連続する線状に形成するとともに、前記基板側の基端部よりも上端部を細く形成する半導体装置の製造方法。

【請求項17】 請求項13から請求項15のいずれかに記載の半導体装置の製造方法において、

前記接合部を、前記基板側の基端部よりも上端部が小さく形成されたランド部として形成する半導体装置の製造方法。

【請求項18】 請求項13から請求項17のいずれかに記載の半導体装置の製造方法において、

前記接合部を、複数段を有する形状で形成する半導体装置の製造方法。

【請求項19】 請求項13から請求項18のいずれかに記載の半導体装置の製造方法において、

前記接着剤の収縮力によって、前記配線の前記接合部の側面と前記バンプとを圧接させる半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置及びその製造方法、回路基板並びに電子機器に関する。

【0002】

【発明の背景】フリップチップ実装では、半導体チップに設けられたバンプと、基板に形成された配線パターンと、を電気的に接続する。例えば、バンプと配線パターンとを、圧接させたり、導電粒子を介在させて電気的に接続する方法が知られている。

【0003】しかし、例えば基板が変形した場合や、基板が多層基板である場合には、バンプと配線パターンとのギャップが均一でないため、電気的な接続信頼性を確

保することが難しかった。また、基板と半導体チップの熱膨張率が異なるため、接続部が横方向にずれると、電気的な接続信頼性を確保することが難しかった。

【0004】本発明は、この問題点を解決するものであり、その目的は、電気的な接続信頼性を確保できる半導体装置及びその製造方法、回路基板並びに電子機器を提供することにある。

【0005】

【課題を解決するための手段】(1) 本発明に係る半導体装置は、複数の電極を有し、各電極にバンパが形成されてなる半導体チップと、前記半導体チップが搭載され、前記バンパとの少なくとも1つの接合部を有する配線が形成された基板と、導電粒子を含有して、前記半導体チップと前記基板とを接着する接着剤と、を含み、前記接合部は、前記バンパに入り込み、前記導電粒子は、前記接合部とバンパとの間に介在してなる。

【0006】本発明によれば、配線の接合部がバンパに入り込むので、複数のバンパと配線とのギャップが均一でなくても、信頼性の高い電気的接続及び強固な接合が可能になる。また、接合部とバンパとが横方向にずれる力が加えられても、電気的な接続状態が維持される。さらに、バンパに接合部が入り込むことで、接合部とバンパとの間に導電粒子が介在しやすい。

【0007】(2) この半導体装置において、前記配線は、複数の前記接合部を有し、いずれか1つの前記バンパに、前記接合部のうちの複数の入り込んでいてもよい。

【0008】これによれば、バンパに食い込む部分が増えるので、より強固な接続が得られる。また、複数の接合部によって凹凸ができるので、導電粒子の逃げが防止され、介在する導電粒子数を増やすことができる。

【0009】(3) 本発明に係る半導体装置は、複数の電極を有し、各電極にバンパが形成されてなる半導体チップと、前記半導体チップが搭載され、前記バンパとの接合部を複数有する配線が形成された基板と、を含み、前記配線は、いずれか一つの前記バンパに、前記接合部のうちの複数の入り込んでなる。

【0010】本発明によれば、配線の接合部がバンパに入り込むので、複数のバンパと配線とのギャップが均一でなくても、信頼性の高い電気的接続及び強固な接合が可能になる。また、接合部とバンパとが横方向にずれる力が加えられても、電気的な接続状態が維持される。さらに、バンパに接合部が入り込むことで、接合部とバンパとの間に導電粒子が介在しやすい。

【0011】さらに、複数の接合部がバンパに食い込むので、より強固な接続が得られる。また、複数の接合部によって凹凸ができるので、導電粒子の逃げが防止され、介在する導電粒子数を増やすことができる。

【0012】(4) この半導体装置において、前記接合部の表面は、ニッケルメッキ層で形成されていてもよ

い。

【0013】ニッケルは硬いので、接合部を硬く形成することができる。

【0014】(5) この半導体装置において、前記接合部は、ほぼ同一の縦断面が連続する線状をなし、前記基板側の基端部よりも上端部が細く形成されてもよい。

【0015】これによれば、接合部の上端部が細いので、バンパに接合部を入り込ませやすくなっている。

【0016】(6) この半導体装置において、前記接合部は、前記基板側の基端部よりも上端部が小さく形成されたランド部であってもよい。

【0017】(7) この半導体装置において、前記接合部は、複数段を有する形状であってもよい。

【0018】(8) この半導体装置において、前記接着剤の収縮力によって、前記接合部の側面と前記バンパとが圧接していてもよい。

【0019】これによれば、接合部の側面とバンパとが圧接するので、電気的な接続信頼性が向上する。

【0020】(9) この半導体装置は、ICカードとして構成されてもよい。

【0021】(10) この半導体装置は、外部端子をさらに有してもよい。

【0022】(11) 本発明に係る回路基板は、上記半導体装置が実装されたものである。

【0023】(12) 本発明に係る電子機器は、上記半導体装置を有する。

【0024】(13) 本発明に係る半導体装置の製造方法は、複数の電極を有して各電極にバンパが形成されてなる半導体チップを、導電粒子を含有する接着剤を使用して、配線が形成された基板に実装する工程を含み、前記配線は、前記バンパとの接合部を有し、前記接合部を、前記バンパに入り込ませ、前記導電粒子を前記接合部とバンパとの間に介在させる。

【0025】本発明によれば、配線の接合部をバンパに入り込ませるので、複数のバンパと配線とのギャップが均一でなくても、信頼性の高い電気的接続及び強固な接合が可能になる。また、接合部とバンパとが横方向にずれる力が加えられても、電気的な接続状態が維持される。さらに、バンパに接合部が入り込むことで、接合部とバンパとの間に導電粒子が介在しやすい。

【0026】(14) この半導体装置の製造方法において、前記配線は、複数の前記接合部を有し、いずれか一つの前記バンパに、前記接合部のうちの複数の入り込ませてもよい。

【0027】これによれば、バンパに食い込む部分が増えるので、より強固な接続が得られる。また、複数の接合部によって凹凸ができるので、導電粒子の逃げが防止され、介在する導電粒子数を増やすことができる。

【0028】(15) この半導体装置の製造方法において、前記接合部の表面を、ニッケルメッキ層で形成して

もよい。

【0029】ニッケルは硬いので、接合部を硬く形成することができる。

【0030】(16) この半導体装置の製造方法において、前記接合部を、ほぼ同一の縦断面が連続する線状に形成するとともに、前記基板側の基端部よりも上端部を細く形成してもよい。

【0031】これによれば、接合部の上端部が細いので、バンプに接合部を入り込ませやすくなっている。

【0032】(17) この半導体装置の製造方法において、前記接合部を、前記基板側の基端部よりも上端部が小さく形成されたランド部として形成してもよい。

【0033】(18) この半導体装置の製造方法において、前記接合部を、複数段を有する形状で形成してもよい。

【0034】(19) この半導体装置の製造方法において、前記接着剤の収縮力によって、前記配線の前記接合部の側面と前記バンプとを圧接させてもよい。

【0035】これによれば、接合部の側面とバンプとが圧接するので、電気的な接続信頼性が向上する。

【0036】

【発明の実施の形態】以下、本発明の好適な実施の形態について図面を参照して説明する。

【0037】図1(A)及び図1(B)は、本発明を適用した実施の形態に係る半導体装置の製造方法を示す図である。本実施の形態では、半導体チップ10と、基板20と、が使用される。

【0038】半導体チップ10の平面形状は一般的には矩形である。半導体チップ10の一方の面に、複数の電極12が形成されている。電極12は、半導体チップ10の面の少なくとも1辺(多くの場合、平行な2辺又は4辺)に沿って並んでいる。また、電極12は、半導体チップ10の面の端部に並んでいる場合と、中央部に並んでいる場合がある。各電極12は、アルミニウムなどで薄く平らに形成されたパッドである。電極12の少なくとも一部を避けて半導体チップ10には、パッシベーション膜14が形成されている。パッシベーション膜14は、例えば、 SiO_2 、 SiN 、ポリイミド樹脂などで形成することができる。

【0039】電極12には、バンプ16が設けられている。したがって、半導体チップ10をフリップチップと称してもよいが、半導体チップ10がパッケージ化されているともよい。バンプ16は、銀ペーストなどの導電ペーストで形成してもよいし、金、銅、銀及び鉛などの金属で形成してもよい。バンプ16は、無電解メッキで形成してもよいし、ワイヤボンディングによるバンプであってもよい。バンプ16は、後述する配線22の接合部24を構成する材料よりも軟らかい材料で形成されていることが好ましい。なお、導電ペーストは、金、銀、銅及びニッケルよりも軟らかい。ニッケルは、金、銀及び

銅よりも硬い。バンプ16の形状は特に限定されず、複数段の形状をなしていてもよい。

【0040】基板20は、本願では、配線22を支持する基材(ベース基板)を指す。基板20の材料は、有機系又は無機系のいずれの材料であってもよく、これらの複合構造からなるものであってもよい。基板20として、例えば、ポリエチレンテレフタレート(PET)からなる基板又はフィルムを使用してもよい。あるいは、基板20としてポリイミド樹脂からなるフレキシブル基板を使用してもよい。フレキシブル基板として、FPC(Flexible Printed Circuit)や、TAB(Tape Automated Bonding)技術で使用されるテープを使用してもよい。また、無機系の材料から形成された基板20として、例えばセラミック基板やガラス基板が挙げられる。有機系及び無機系の材料の複合構造として、例えばガラスエポキシ基板が挙げられる。

【0041】基板20の全体形状は特に限定されず、矩形、多角形、あるいは複数の矩形を組み合わせた形状のいずれであってもよい。基板20の厚みも限定されない。

【0042】図2は、配線を示す斜視図である。配線22は、基板20に支持されており、例えば、基板20の少なくとも一方の面に配線22が形成されている。配線22とは、少なくとも2点の電気的な接続を図る部分を指し、独立して形成された複数の配線22を配線パターンと称してもよい。配線22は、銅(Cu)、クロム(Cr)、チタン(Ti)、ニッケル(Ni)、チタンタングステン(Ti-W)のうちのいずれかを積層して、あるいはいずれかの一層で形成してもよい。この場合、配線22は、ハンダ、スズ、金、ニッケルなどでメッキされていることが好ましい。

【0043】配線22を構成する材料は、バンプ16を構成する材料よりも硬いことが好ましい。例えば、図1に示す配線22は、パターンニング(エッチング)しやすい材料(例えば銅)からなるコア層と、その表面を覆う硬度の高い材料(例えばニッケル)からなる中間層と、さらにその表面を覆う導電性の高い材料(例えば金)からなる表面層と、を有する。この構造によれば、バンプ16を硬くするとともに、電気的な接続信頼性を高めることができる。

【0044】また、ニッケルは硬い材料であり、ニッケルで接合部24の表面層を形成すれば、接合部24をバンプ16に食い込ませやすい。例えば、基板20に銅などで配線22の下地を形成し、厚付けの無電解Niメッキ(十数 μm 程度)を行って、ニッケルの表面層を形成してもよい。無電解Niメッキは、細線パターンに対しても有利であり、細ったパターンに対しても、ある程度の配線厚を持ったパターンを形成することができる。したがって、狭ピッチの配線22を太らせることができる。

【0045】本実施の形態では、配線22は、ほぼ同一の縦断面が連続する線状をなし、基板20側の基端部よりも上端部が細く形成されている。配線22の一部が、半導体チップ10に設けられたバンパ16と接合するための接合部24となっている。接合部24は、バンパ16と接触する部分（バンパ16に埋まる部分）と基板20側の基端部（基板20に支持される部分）とを含む。なお、接合部24の高さは、少なくとも20 μ m～30 μ m程度であることが好ましい。配線22の全体がほぼ同一の縦断面で同じ高さであってもよいし、接合部24とその他の部分とが異なる形状又は高さであってもよい。

【0046】このような形状の配線22は、銅箔等の金属箔を接着材料（図示せず）を介して基板20に貼り付けて、フォトリソグラフィを適用した後に、等方性のエッチングを行って形成することができる。また、銅からなるコア層の表面にメッキ（電解メッキでもよいが好ましくは無電解メッキ）によって硬度の高い材料（例えばニッケル）で中間層を形成し、同様にして導電性の高い材料（例えば金）からなる表面層を形成してもよい。

【0047】このような3層基板の他に、接着剤なしで配線22を基板20に形成して2層基板を構成してもよい。例えば、スパッタリング等によって金属層を形成し、これを等方性のエッチングでパターンニングして、配線22を形成してもよい。また、銅からなるコア層の表面にメッキ（電解メッキでもよいが好ましくは無電解メッキ）によって硬度の高い材料（例えばニッケル）で中間層を形成し、同様にして導電性の高い材料（例えば金）からなる表面層を形成してもよい。

【0048】本実施の形態では、図1（A）に示すように、配線22の接合部24と、バンパ16とを対向させて配置し、図1（B）に示すように、接合部24をバンパ16に入り込ませる。好ましくは、接合部24の上端部をバンパ16に埋め込む。

【0049】半導体チップ10と基板20とは、接着剤26によって接着されている。接着剤26は、被接続体同士の電気的な接続性能を向上させるために、導電粒子27を含んでいる。導電粒子27は、例えば、ロウ材、ハンダ等の粒子で構成され、それらが接着材料中に分散している。こうすることで、バンパ16と接合部24との間に、導電粒子27が介在して電気的な接続性能を向上させることができる。

【0050】接着剤26は、導電粒子が分散された異方性導電接着剤（ACA）、例えば異方性導電膜（ACF）や異方性導電ペースト（ACP）であってもよい。異方性導電接着剤は、バインダに導電粒子（フィラー）が分散されたもので、分散剤が添加される場合もある。異方性導電接着剤のバインダとして、熱硬化性の接着剤が使用されることが多い。

【0051】こうして、接合部24とバンパ16とが電

氣的に接続される。接合部24とバンパ16とを接触、好ましくは面接触させてもよい。なお、接合部24が平坦な上端面を有する場合には、接合部24の側面がバンパ16と接触せず、接合部24の上端面がバンパ16と接触していてもよい。本実施の形態によれば、配線22の接合部24をバンパ16に入り込ませるので、複数のバンパ16と配線22とのギャップが均一でなくても、信頼性の高い電気的接続が可能になる。また、接合部24とバンパ16とが横方向にずれる力が加えられても、電気的な接続状態が維持される。

【0052】本実施の形態に係る半導体装置の製造方法では、上記方法を含んで半導体チップ10を基板20に実装する。図3は、本実施の形態に係る半導体チップの実装方法を示す図である。なお、図3は、図1（A）及び図1（B）とは異なる線で切った断面図であり、すなわち、図2に示す配線22の長手方向の軸線に沿って断面図である。

【0053】半導体チップ10は、配線22が形成された基板20上に、フェースダウン実装（フリップチップ実装）される。図3に示すように、半導体チップ10と基板20との間には、接着剤26を設ける。接着剤26は、液状又はゲル状で用意されるものであってもよいし、シート状で用意される接着シートであってもよい。接着剤26は、エポキシ樹脂を主な材料とするものであってもよい。

【0054】基板20における少なくとも接着剤26を設ける領域は、粗面となっていてよい。すなわち、基板20の表面は、サンドブラストを用いて機械的に、又はプラズマ、紫外線、オゾン等を用いて物理的に、エッチング材を用いて化学的に荒らすことができる。これらにより、基板20と半導体チップ10の接着面積を増大させたり、物理的、化学的な接着力を増大させたりして、両者をより強く接着することができる。接着剤26の収縮力を利用して、接合部24の側面とバンパ16とを圧接させれば、両者の電気的な接続信頼性が向上する。

【0055】接着剤26は、半導体チップ10及び基板20のうち、少なくとも一方に設ければよい。例えば、図3に示す例では、接着剤26を液状又はゲル状で用意し、基板20上にこれを設ける。なお、接着剤26は、半導体チップ10の搭載面の全面に亘って設ける必要はなく、それより狭い領域に設けてもよい。半導体チップ10及び配線22を対向する方向に加圧すると、接着剤26は、外方向に広がる。さらに、加圧によって、図1（B）に示すように、接合部24をバンパ16に入り込ませる。こうして、接合部24とバンパ16との電気的接続を行うことができる。また、接着剤26を固化させて、半導体チップ10と基板20との固定を行う、こうして、半導体装置を得ることができる。

【0056】本実施の形態によれば、半導体チップ10と基板20とを接合する工程で、配線22の接合部24とバンパ16との電氣的接続も図ることができる。工程の短縮を図ることができる。

【0057】図4は、上記半導体装置をICカードとして構成した例を示す図である。図4に示すICカードは、上記半導体装置の構成の他に、補強板28と、ラミネート層30とを有する。補強板28は、例えば半導体チップ10の裏面（バンパ16は反対側の面）に設けられ、曲げ応力から半導体チップ10を保護するものである。ラミネート層30は、ICカードの表裏面となる層であり、必要に応じて印刷がされてなる。

【0058】図5は、上記半導体装置に外部端子が設けられた例を示す図である。すなわち、基板20にスルーホール32などが形成され、外部端子34が、配線22と電氣的に接続されて設けられている。図6には、外部端子34を有する半導体装置1を実装した回路基板1000が示されている。回路基板1000には例えばガラスエポキシ基板等の有機系基板を用いることが一般的である。回路基板1000には例えば銅などからなる配線パターンが所望の回路となるように形成されていて、それらの配線パターンと半導体装置1の外部端子34とを機械的に接続することでそれらの電氣的導通を図る。

【0059】そして、本発明を適用した半導体装置1を有する電子機器として、図7にはノート型パーソナルコンピュータ2000、図8には携帯電話3000が示されている。

【0060】本発明は、上記実施の形態に限定されるものではなく、種々の変形が可能である。例えば、図9に示すように、配線の接合部40は、複数段を有する形状であってもよい。詳しくは、基板20（図1（A）参照）側の基端部と、その上に形成される上端部と、が異なる大きさで接合部40が形成されていてもよい。この場合、基端部の上面と、上端部の上面との高さ位置が異なり、接合部40は複数の高さ位置の面を持つ。したがって、接合部40は、複数段を有する。

【0061】あるいは、図10に示すように、配線の接合部50は、断面において上端の方向に尖鋭の形状、例えば三角形であってもよい。この形状の接合部50は、バンパ16が硬い場合に刺しやすい。

【0062】さらに、図11に示すように、配線が、他の部分よりも面積の大きいランド部を有し、ランド部が接合部60であってもよい。ランド部は、電氣的接続部を十分に確保する機能を有する。この場合、ランド部としての接合部60は、基板20側の基端部よりも上端部が小さく形成されていてもよく、上端部に向けて尖鋭形状をなしていてもよい。

【0063】また、図12に示すように、配線122が複数の接合部124を有し、1つのバンパ16に複数の接合部124が入り込んでいてもよい。複数の接合部124

は、並列して形成されてもよい。これによれば、バンパ16に食い込む部分が増えるので、より強い接続が得られる。また、複数の接合部124によって凹凸ができるので、導電粒子27の逃げが防止され、介在する導電粒子27の数を増やすことができる。

【0064】以上の変形例で、具体的に説明した内容以外の点については、上述した実施の形態と同じ内容が当てはまり、同じ効果を達成することができる。

【0065】なお、上述した実施の形態の「半導体チップ」を「電子素子」に置き換えて、電子部品を製造することもできる。このような電子素子を使用して製造される電子部品として、例えば、光素子、抵抗器、コンデンサ、コイル、発振器、フィルタ、温度センサ、サーミスタ、バリスタ、ボリューム又はヒューズなどがある。

【図面の簡単な説明】

【図1】図1（A）及び図1（B）は、本発明を適用した実施の形態に係る半導体装置の製造方法を示す図である。

【図2】図2は、本発明を適用した実施の形態に係る配線を示す図である。

【図3】図3は、本発明を適用した実施の形態に係る半導体装置の製造方法を示す図である。

【図4】図4は、本実施の形態に係る半導体装置を示す図である。

【図5】図5は、本実施の形態に係る半導体装置を示す図である。

【図6】図6は、本実施の形態に係る半導体装置が実装された回路基板を示す図である。

【図7】図7は、本実施の形態に係る半導体装置を有する電子機器を示す図である。

【図8】図8は、本実施の形態に係る半導体装置を有する電子機器を示す図である。

【図9】図9は、本発明を適用した実施の形態に係る半導体装置の変形例を示す図である。

【図10】図10は、本発明を適用した実施の形態に係る半導体装置の変形例を示す図である。

【図11】図11は、本発明を適用した実施の形態に係る半導体装置の変形例を示す図である。

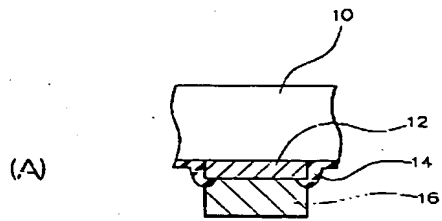
【図12】図12は、本発明を適用した実施の形態に係る半導体装置の変形例を示す図である。

【符号の説明】

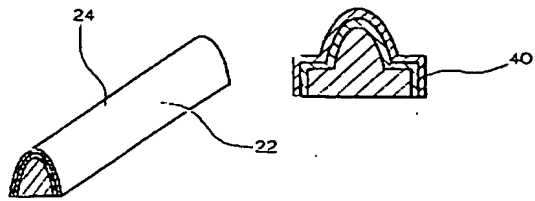
- 10 半導体チップ
- 12 電極
- 16 バンパ
- 20 基板
- 22 配線
- 24 接合部
- 26 接着剤
- 27 導電粒子
- 34 外部端子

40、50、60 接合部

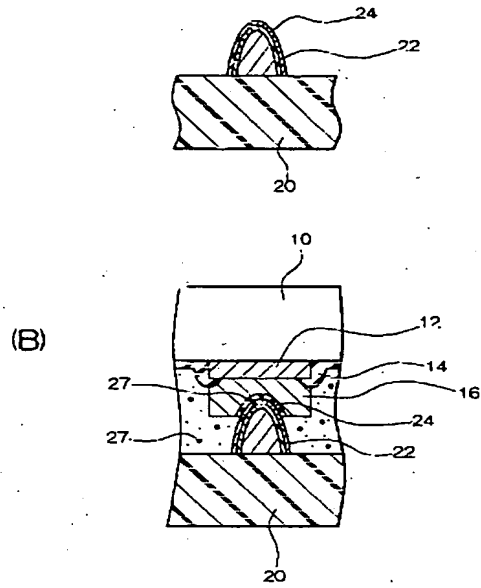
【図1】



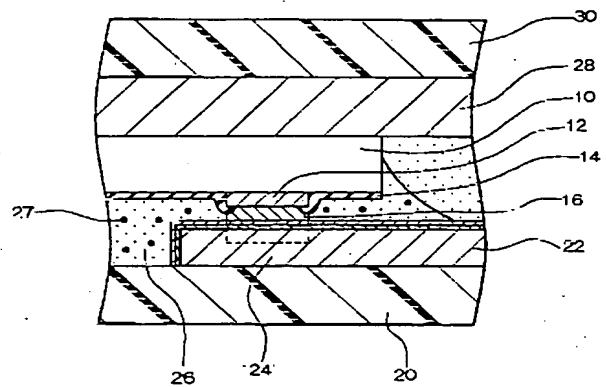
【図2】



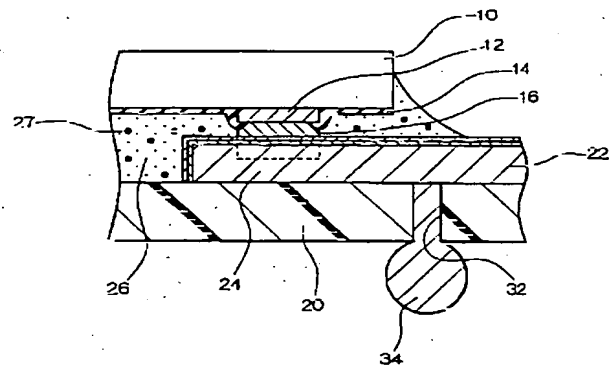
【図9】



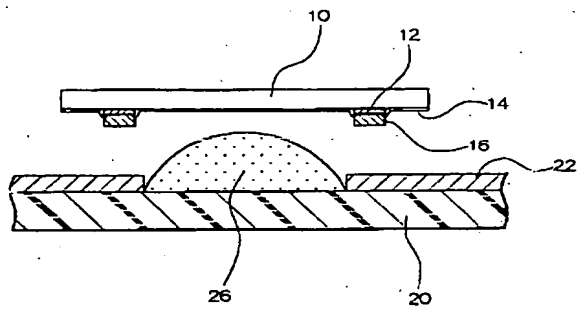
【図4】



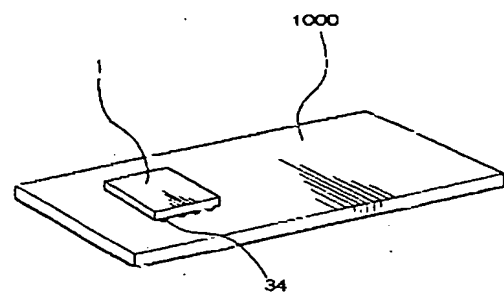
【図5】



【図3】



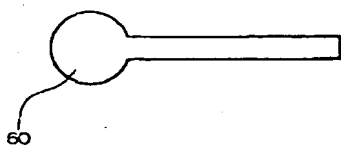
【図6】



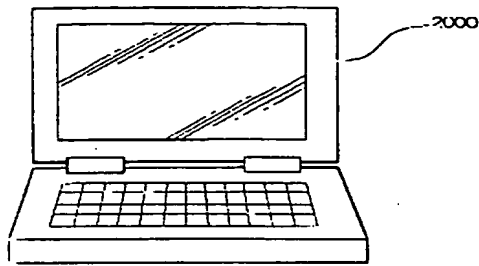
【図10】



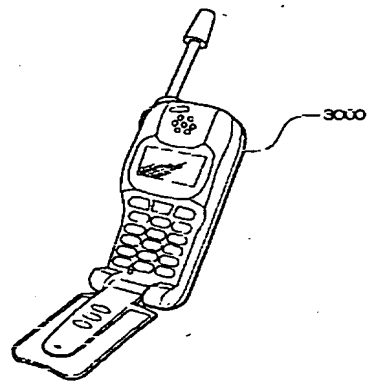
【図11】



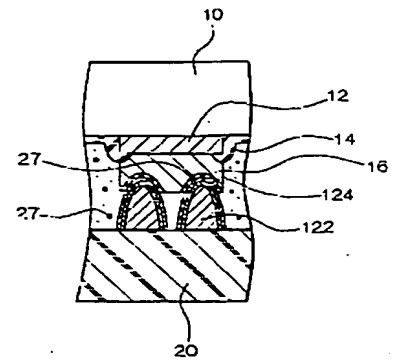
【図7】



【図8】



【図12】



フロントページの続き

Fターム(参考) 5E077 BB28 BB31 BB38 CC26 DD04
HH07 HH09 JJ11 JJ21 JJ30
5E085 BB08 BB28 CC03 DD06 EE02
EE23 EE34 FF11 JJ06 JJ31
5E319 AA03 AB05 AC01 BB11 CC02
CC61
5F044 KK02 KK04 KK17 LL07 LL09
LL11 LL15 QQ02 RR19